

钟控传输门绝热逻辑电路和 SRAM 的设计

汪鹏君, 郁军军

(宁波大学电路与系统研究所, 浙江宁波 315211)

摘 要: 本文利用 NMOS 管的自举效应设计了一种新的采用二相无交叠功率时钟的绝热逻辑电路——钟控传输门绝热逻辑电路, 实现对输出负载全绝热方式充放电. 依此进一步设计了一种新型绝热 SRAM, 从而可以以全绝热方式有效恢复在字线、写位线、敏感放大线及地址译码器上的大开关电容的电荷. 最后, 在采用 TSMC 0.25 μm CMOS 工艺器件参数情况下, 对所设计的绝热 SRAM 进行 HSPICE 模拟, 结果表明, 此 SRAM 逻辑功能正确, 低功耗特性明显.

关键词: 钟控传输门绝热逻辑; 二相无交叠功率时钟; SRAM 设计; 低功耗

中图分类号: TN712 **文献标识码:** A **文章编号:** 0372-2112 (2006) 02-0301-05

Design of Clocked Transmission Gate Adiabatic Logic Circuit and SRAM

WANG Peng-jun, YU Jun-jun

(Institute of Circuits and Systems, Ningbo University, Ningbo, Zhejiang 315211, China)

Abstract: A new adiabatic logic circuit adopting two-phase non-overlap power clocks-Clocked Transmission Gate Adiabatic Logic circuit was designed by using the bootstrap effect of NMOS transistors, so that it could charge or discharge output loads in a fully adiabatic manner. Based on this circuit, a novel adiabatic SRAM was designed. So it could recover the charge of large switching capacitances on word-lines, write bit-lines, sense amplified lines and address decoders in a fully adiabatic manner. Using the parameters of TSMC 0.25 μm CMOS device, the adiabatic SRAM designed was simulated by HSPICE. The simulation results indicate that this SRAM has correct logic function and the character of clearly low power.

Key words: clocked transmission gate adiabatic logic; two-phase non-overlap power-clocks; design of SRAM; low power

1 引言

随着半导体工艺技术的进步, 集成电路的集成度越来越高, 其发展趋势几乎打破 Moore 定律. 这必将使得集成电路的功耗急剧增加, 从而影响电路的性能和可靠性. 显然, 功耗问题已成为集成电路发展的一大障碍, 低功耗设计已成为集成电路设计的关键技术.

传统 CMOS 集成电路采用直流电源供电, 它的能量总是以电能到热能不可逆转的形式转化, 虽然可采用降低电源电压, 降低节点电容及减少开关冗余跳变来降低功耗^[1], 但其功耗节省的幅度有限. 然而, 绝热 CMOS 电路采用交流脉冲电源来驱动电路^[1~9], 这样电源中的电感和电路中的节点电容形成 LC 振荡回路, 使得能量传输是磁能 磁能, 从而将注入电路节点的电荷重复使用, 这

就能实现能量恢复, 并以此减少或避免因耗能元件电阻引起的由电能转换为热能这一不可逆过程中的能量损耗.

由于 SRAM 存取数据频繁, 且它内部的节点电容大, 因此它要消耗大量的能量. 以前也有文献提出过绝热 SRAM, 比如基于 ECRL 绝热 SRAM^[9]等, 但是它有很大的非绝热功耗, 而且这部分功耗与输出负载电容大小有关. 鉴此, 本文利用绝热 CMOS 电路对钟控传输门、自举效应和 SRAM 作进一步研究. 首先提出了一种新的绝热电路-钟控传输门绝热逻辑 (Clocked Transmission Gate Adiabatic Logic, CTGAL) 电路, 接着对它的工作原理进行分析, 并和 PAL^[2] 电路进行瞬态能耗比较. 然后, 采用 CTGAL 电路设计了一种新型的绝热 SRAM. 最后用 HSPICE 模拟验证所设计的电路具有正确的逻辑功能及显著的低功耗特性.

2 CTGAL 电路的设计和模拟结果

基于以往绝热电路的研究,本文设计了一种新颖的采用二相无交叠功率时钟的绝热电路——钟控传输门绝热逻辑(CTGAL)电路,如图1所示。CTGAL的操作分为两级,第一级在钟控时钟 Φ 的控制下通过两个钟控NMOS管(N_1, N_2)对输入信号(in, \bar{in})进行采样;第二级通过自举操作的NMOS管(N_3, N_4)以及组成CMOS-latch结构的 P_1, N_5, P_2, N_6 对负载充放电,使充放电为全绝热过程。该电路由二相无交叠功率时钟(相位差 180°)供电,其中在第一级操作中的钟控时钟 Φ 比功率时钟源 Φ 提前 $T/2$,即相位刚好与功率时钟源 Φ 差 180° ;因此该电路工作时无需增加时钟源的数目。 out, \bar{out} 为互补输出, in, \bar{in} 为互补输入,且输入与钟控时钟的相位相同。

CTGAL电路级联时以流水线方式工作,采用二相无交叠功率时钟驱动,各功率时钟的摆幅为 0 至 V_{DD} ,相位均比前级功率时钟滞后 180° 。CTGAL可以采用下一级(或前一级)的功率时钟源作为其钟控时钟。

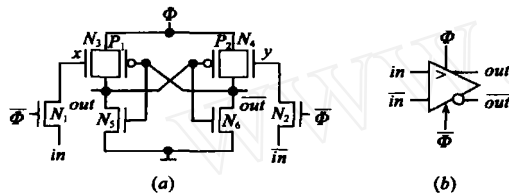


图1 CTGAL电路(a)电路图;(b)符号

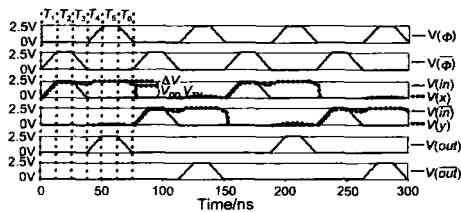


图2 CTGAL的模拟波形

图2给出了CTGAL电路的模拟波形,其中钟控时钟为 Φ ,功率时钟源为 Φ ,输入信号 in 为“1010...”,一个功率时钟周期分为六个时间段: T_1, T_2, \dots, T_6 。下面结合图1和图2对CTGAL电路的工作原理进行分析(以第一个周期为例):

在 T_1 期间,输入信号 in 和钟控时钟 Φ 电平升高,而输入信号 \bar{in} 和功率时钟源 Φ 为低电平。因此, N_1 饱和导通,对节点 x 进行充电直至 $V_{DD} - V_{TN}$ (V_{TN} 为NMOS管的阈值电压);同时 N_2 导通,使节点 y 保持在零电平。这时由于功率时钟源 Φ 为零电平,所以输出端均保持在零电平不变。此刻,在钟控时钟 Φ 作用下完成对输入信号的采样。

在 T_2 期间,保持输入信号的采样值。

在 T_3 期间,钟控时钟 Φ 电平下降,这时 N_1 截止,节点 x 电平保持在 $V_{DD} - V_{TN}$ 不变。

所以,时间段 $T_1 - T_3$ 统称为采样期,实现对输入

信号的采样。

在 T_4 期间(逻辑赋值期), Φ 保持低电平,而功率时钟源 Φ 电平开始升高,这时 N_1, N_2 均截止,使得节点 x, y 处于浮动状态,其中 x 为浮动的高电平节点, y 为浮动的低电平节点,从而使得 N_3 导通,因此输出节点 out 跟随时钟信号 Φ 上升。当 out 电平高于 V_{TN} 时, N_6 导通,从而使 \bar{out} 箝位至地(0V)。当功率时钟源 Φ 电平超过 $|V_{TP}|$ (V_{TP} 为PMOS管的阈值电压)时, P_1 管导通,从而使 out 通过 N_3 和 P_1 组成的互补传输门对 out 以全绝热方式进行充电。

在 T_5 期间(保持期), out 保持在功率时钟 Φ 峰值 V_{DD} , \bar{out} 箝位在零电平。由于此时 N_1 和 N_2 管均截止,故节点 x, y 保持原来的浮动状态。

在 T_6 期间(能量恢复期), out 通过 N_3 和 P_1 组成的互补的传输门跟随 Φ 下降到0V,节点 out 的电荷以全绝热方式回收至功率时钟源 Φ 。

所以,在时间段 $T_4 - T_6$,由于输入信号及钟控信号均为0V,故使得 N_1, N_2 保持在截止状态,节点 x, y 处于浮动状态。当 Φ 逐渐升高时,由于节点 x 与 \bar{in} 间的寄生电容作用,处于浮动高电平的节点 x 将通过自举作用使它的电平超过 $V_{DD} - V_{TN}$ 。若 \bar{in} 从0V上升到 V_{DD} ,则节点 x 上升到 $V_{DD} - V_{TN} + \Delta V$,其中 $\Delta V = C_{GS} \times V_{DD} / (C_{GS} + C_{sb} + C_w)$, C_{GS} 是 N_3 的栅至源总电容, C_{sb} 是 N_1 的扩散电容(B 表示衬底), C_w 是线电容。由上分析,在赋值期一开始 N_3 管已导通,从而消除了非绝热功耗;而且较大的 ΔV 可以减小 N_3 管的导通电阻,从而降低了绝热损耗。

当 Φ 从 V_{DD} 下降到0V时,节点 x 下降了 ΔV ,即节点 x 电平最终恢复到 $V_{DD} - V_{TN}$ 。这样在能量恢复期间, P_1 管截止时 N_3 管仍导通,确保了输出节点 out 的电荷完全回收至 Φ 。

在采用TSMC 0.25 μm CMOS工艺器件参数情况下,对CTGAL和PAL^[2]的瞬态能耗进行HSPICE模拟。实验结果表明,相对于PAL而言,CTGAL能耗节省更为显著。

如果CTGAL刚完成能量回收(Φ 从 V_{DD} 下降到0),图1(a)中的 N_1, N_2 就立即导通,并对输入信号进行采样,即 Φ 已达到 V_{TN} ,那也不会影响原先能量回收过程中的 $x,$

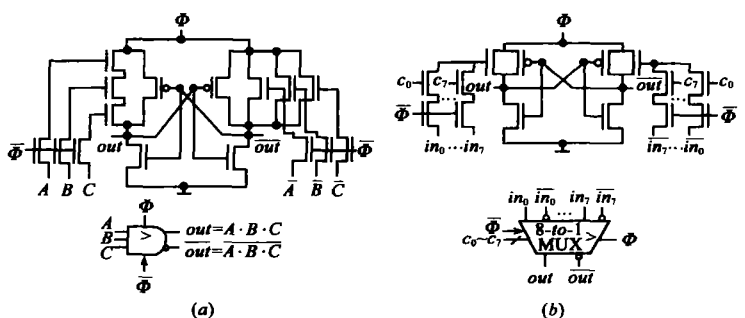


图3 CTGAL门电路(a)与门;(b)8选1数据选择器

y 值, 即不会影响输出端原先的能量回收过程, 输出的波形还是理想的, 仍然可以确保以全绝热方式对输出负载充放电. 因此, 允许 CTGAL 的二相功率时钟进行一定程度的交叠, 并推算得到最大交叠率为 $V_{IN} / 3V_{DD}$.

为了实现复杂的门电路, 首先在第一级操作中用钟控 NMOS 管 (如图 1(a) 中的 N_1, N_2) 对各输入信号进行采样. 如果在第一级操作中再加入数据选择信号 c_i , 这可以控制是否对输入信号进行采样, 然后用互补 NMOS 逻辑块代替 CTGAL 中的 N_3, N_4 , 就可以得到不同门电路, 如图 3 所示的三输入与门和 8 选 1 数据选择器.

3 基于 CTGAL 绝热 SRAM 的设计

基于 CTGAL 绝热 SRAM 的电路结构与常规 SRAM^[10] 有许多类似之处, 都由存储单元、行列译码器、敏感放大器、写电路以及选择器组成, 不同的是: 它把读位线和敏感放大器的输出线 (简称敏感放大线, Sense Amplified Line, SAL) 相分离, 而且除了存储单元外所有的电路都采用 CTGAL 进行设计. CTGAL 电路能以全绝热方式有效恢复在字线、写位线、敏感放大线及地址译码器上的大开关电容的电荷, 并且采用层次化结构^[9,10] 来有效地减少字线上节点电容, 从而减少全绝热功耗 (因为全绝热功耗与电容的平方成正比). 又由于在一个时钟周期内只有一个子阵列被激活, 从而可以避免对未激活子阵列的位线和敏感放大线进行充放电^[9], 进一步减少了不必要的功耗. 鉴此, 本文以 64×64 比特为例来设计这种全新的 SRAM.

3.1 行列地址译码器

行列地址译码器如图 4 所示. 基于 CTGAL 的 64×64 比特的绝热 SRAM 分为 64 行, 每行 8 个子阵列, 每个子阵列由 8 个存储单元构成, 因此需要 6 比特的行地址 ($A_5 - A_0$) 和 3 比特的列地址 ($A_8 - A_6$). 其中行地址译码器采用二阶译码的方式^[9,10] 来激活一根全局字线 (Global Word Line, GWL), 而列地址译码器产生子阵列选择信号 ($c_0 - c_7$) 来选择相应的子阵列. 全局字线与子阵列选择信号各经过一定延迟后和读/写使能信号共同激活一对相应的字线 (读字线 RWL 和写字线 WWL), 因此在一个周期中只有一个连于这对字线的子阵列被激活用来进行存取操作. 在时序安排中, 采用先激活写字线, 后激活读字线的方式, 因此在一个周期中可以执行先写后读的操作.

3.2 存储单元和敏感放大器

基于 CTGAL 的绝热 SRAM 的存储单元采用与常规 SRAM 存储单元一样的结构^[10], 如图 5 所示. 它由 2 个首尾串接而成的反相器 (N_1, P_1 和 N_2, P_2) 和 2 对存取晶体管 (N_3, N_4 和 N_5, N_6) 所构成. 当执行写操作时, 由 WWL 来激活 N_5, N_6 , 从而把写位线 WBL 上数据写入到存储单元中

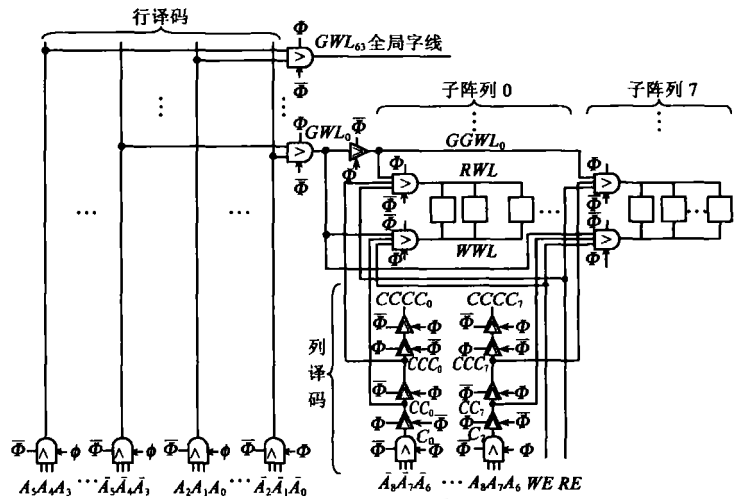


图 4 行列地址译码器

去; 当执行读操作时, 由 RWL 来激活 N_3, N_4 , 从而将存储单元中的数据读出到读位线 RBL 上去. 虽然存储单元采用固定的直流电源 V_{DD} 供电, 但是只有当存储单元被激活时才消耗能量, 而且一个周期中只有一个子阵列中的存储单元被激活进行存取操作, 这相对于整个存储阵列而言, 对存储单元进行读/写数据的概率小于 1, 故这部分能耗并不大. 绝热 SRAM 存储阵列由这些存储单元水平垂直排列而成, 对于同一个子阵列中存储单元共用一对读/写字线, 对于同一列的存储单元共用一对读/写位线^[9,10]. 由于 CTGAL 采用互补输入, 互补输出的结构, 所以在绝热 SRAM 的位线同样采用互补结构, 这样就可以利用 CTGAL 电路来有效恢复位线上的电荷.

敏感放大器如图 5

所示. 与以往不同, 这里将敏感放大线 SAL 和读位线 RBL 分离, 这样就可将存储单元中的存取晶体管 N_3, N_4 和晶体管 $N_7, N_8, N_9, N_{10}, P_3, P_4$ 共同组成 CTGAL 电路, 其中用读字线 RWL 做钟控时钟, 用经过 4 次时延的子阵列选择信号 $cccc_j (j = 0 \sim 7)$ 做功率时钟源. 由此可见敏感放大器的操作完全类似于 CTGAL 电路, 而且它只对被激活子阵列读出数据进行全绝热方式敏感放大, 其余未激活子阵列的 SAL 均保持零电平, 从而减少了 SAL 上不必要的电平跳变, 减少了功耗.

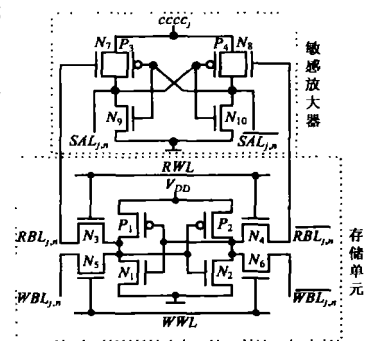
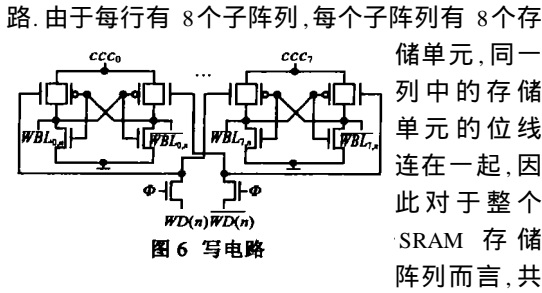


图 5 存储单元和敏感放大器

3.3 写操作

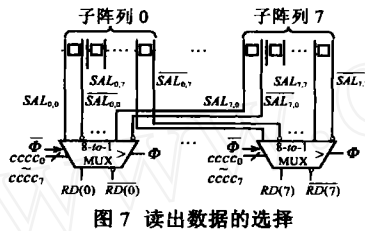
写电路采用 CTGAL 电路对写位线进行全绝热方式充放电, 如图 6 所示, 故写电路操作完全类似于 CTGAL 电



路. 由于每行有 8 个子阵列, 每个子阵列有 8 个存储单元, 同一列中的存储单元的位线连在一起, 因此对于整个 SRAM 存储阵列而言, 共需要写入 8 位数据, 而每写入一位数据 $WD(n)$ ($n = 0 \sim 7$), 就需要 8 个写电路. 其中, 各个写电路的功率时钟源采用经过 2 次时延的子阵列选择信号 ccc_j ($j = 0 \sim 7$). 因此只有被激活的子阵列的写位线才有数据写入, 其余均箝位于零电平, 这样就避免对未激活的子阵列的写位线进行不必要的充放电.

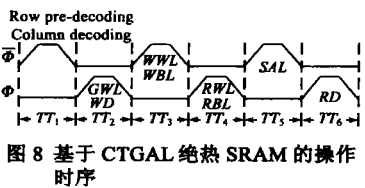
3.4 读出数据的选择

数据选择器采用图 3(b)所示的基于 CTGAL 的 8 选 1 数据选择器, 其中图 3(b)中的数据选择信号采用经过 4 次时延的子阵列选择信号 $cccc_j$ ($j = 0 \sim 7$), 输入信号为 SAL, 如图 7 所示. 这样, 8 选 1 数据选择器在第一级操作中只对被激活的子阵列的 SAL 进行采样, 在第二级操作中以全绝热方式把该 SAL 中数据读出到 RD 端, 从而实现从 8 根 SAL 中把被激活的子阵列的读出数据选择出来.



3.5 基于 CTGAL 绝热 SRAM 的操作时序

基于 CTGAL 绝热 SRAM 的操作时序如图 8 所示. 在 TT_1 期间, 行译码器执行一阶预先译码, 而列译码器产生子阵列选择信号 ($c_0 - c_7$). 在 TT_2 期间, 行译码器执行二阶译码, 激活一根全局字线 GWL_i , 同时开始准备待写入的数据 WD . 在 TT_3 期间, 由 GWL_i , ccc_j 和写使能信号 WE 激活一根写位线 $WWL_{i,j}$, 同时将 WD 写入到被激活子阵列的写位线 WBL 中去. 这样就通过被激活的 $WWL_{i,j}$ 将 WBL 中的数据置入到存储单元中去. 在 TT_4 期间, 由 GWL_i , ccc_j 和读使能信号 RE 激活一根读字线 $RWL_{i,j}$, 从而将被激活的子阵列中的数据读出到读位线 RBL 上去. 在 TT_5 期间, 敏感放大器对被激活的子阵列的敏感放大线 SAL 进行敏感放大. 在 TT_6 期间, 对各子阵列的 SAL 进行 8 选 1 操作, 最后得到被激活子阵列读出的数据.



4 计算机模拟和结论

采用 TSMC 0.25μm CMOS 工艺器件参数, 对上述绝

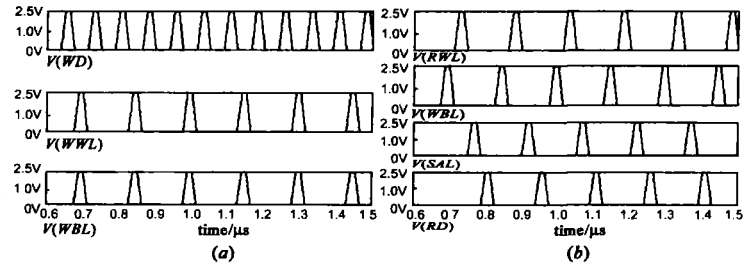


图 9 基于 CTGAL 的绝热 SRAM 的功能模拟波形 (a) 写操作波形; (b) 读操作波形

热 SRAM 的一个子阵列进行功能模拟. 图 9(a)、(b)分别给出了该子阵列被交替激活, 写数据 WD 全为 1 条件下的写操作和读操作模拟波形. 可以发现其逻辑功能正确, 且输出波形理想.

同样, 图 10 给出了基于 CTGAL 的绝热 SRAM 和基于 ECRL 的绝热 SRAM^[9] 的瞬态能耗模拟波形. 从瞬态能耗曲线可以发现, 它们的上升部分反映向电路注入能量, 下降部分表明由电源回收能量, 曲线凹底的渐升现象反映了电路的能耗. 相对于基于 ECRL 的绝热 SRAM, 基于 CTGAL 的绝热 SRAM 有较好的能量回收特性, 而且能耗降低特别明显.

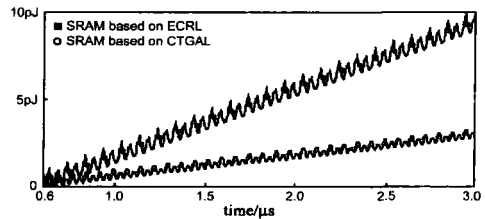


图 10 基于 CTGAL 的绝热 SRAM 和基于 ECRL 的绝热 SRAM 的瞬态能耗对比

理想情况下 CTGAL 电路采用二相无交叠功率时钟供电, 但由理论推导和模拟验证表明: 如果二相功率时钟交叠率不大于 $V_{IN} / 3V_{DD}$, 输出的波形仍很理想; 若大于 $V_{IN} / 3V_{DD}$, 输出波形虽不理想, 但逻辑功能还是正确的, 因此 CTGAL 电路更具实用性.

虽然这里只设计了 64 × 64 比特绝热 SRAM, 但是更大规模的绝热 SRAM 结构仍可以构建. 最后指出, 由于 CTGAL 电路能以全绝热方式有效恢复大电容负载的电荷, 因此可以把 CTGAL 电路嵌入到其他耗能大的实用电路中去.

参考文献:

[1] 吴训威, 杭国强. 绝热计算原理与能量恢复型 CMOS 电路 [J]. 计算机学报, 2000, 23 (7): 779 - 785.
Wu Xunwei, Hang guoqiang. Principle of adiabatic computing and CMOS circuits with energy recovery [J]. Chinese Journal of Computers, 2000, 23 (7): 779 - 785. (in Chinese)
[2] 杭国强, 吴训威. 采用二相功率时钟的无悬空输出绝热 CMOS 电路 [J]. 半导体学报, 2001, 22 (3): 366 -

- 372
Wu Xunwei, Hang guoqiang. Adiabatic CMOS switching circuits adopting two-phase power-clock supply and avoiding floating output[J]. Chinese Journal of Semiconductors, 2001, 22(3): 366 - 372. (in Chinese)
- [3] Yang Q, Zhou R. Adiabatic differential voltage switch logic[J]. Electronics Letters, 2004, 40(25): 1574 - 1575.
- [4] Yang M M, Barby J A. A novel fast low voltage dynamic threshold ture single phase clocking adiabatic circuit [A]. Proceedings of the 2004 International Symposium on Circuits and Systems[C]. Vancouver, Canada, 2004. 289 - 292.
- [5] Suhwan Kim, Ziesler C H, Papaefthymiou M C. Charge-recovery computing on silicon [J]. IEEE Transactions on Computers, 2005, 54(6): 651 - 659.
- [6] B lotti A, Saletti R. Ultralow power adiabatic circuit sem icustom design[J]. IEEE Tran on VLSI Systems, 2004, 12(11): 1248 - 1253.
- [7] Park J, Hong S J, Kim J. Energy-saving design technique achieved by latched pass-transistor adiabatic logic [A]. Proceedings of the 2005 IEEE International Symposium on Circuits and Systems [C]. Kobe, Japan, 2005. 4693 - 4696.
- [8] 方振贤,汪鹏君,刘莹. 二值、多值和绝热电路通用的电路理论 [J]. 电子学报, 2003, 31(2): 303 - 305.
Fang Zhenxian, Wang Pengjun, Liu Ying. Universal circuits theory for binary, multiple-value and adiabatic circuits[J]. ACTA Electronica Sinica, 2003, 31(2): 303 - 305. (in Chinese)
- [9] Moon Y, Jeong D K. A 32 ×32 - b adiabatic register file with supply clock generator[J]. IEEE Journal of SSC, 1998, 33(5): 696 - 701.
- [10] Rabaey J M, Chandrakasan A, Nikolic B. Digital Integrated Circuits: A Design Perspective (Second Edition) [M]. Beijing: Tsinghua Publisher, 2004. 623 - 719.

作者简介:

汪鹏君 男,副教授,博士生,硕士生导师,中国计算机学会多值逻辑与模糊逻辑专业委员会委员,中国电子学会高级会员,目前主要从事多值逻辑电路和低功耗集成电路理论及设计方面的研究工作。
E-mail: wangpengjun@nbu.edu.cn

郁军军 男,硕士研究生,主要从事多值逻辑电路和低功耗集成电路理论及设计方面的研究工作。